

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288828
 (43)Date of publication of application : 01.11.1996

(51)Int.Cl. H03K 19/0185
 H03K 19/0175

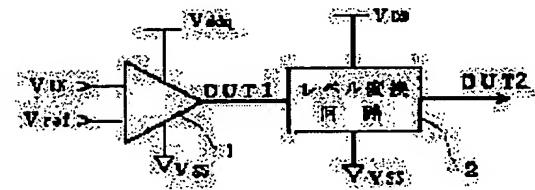
(21)Application number : 07-084081 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 10.04.1995 (72)Inventor : ARIMOTO KAZUTAMI

(54) INTERFACE CIRCUIT

(57)Abstract:

PURPOSE: To provide an interface circuit which can fast operate by using the same power supply for a driver and a receiver.

CONSTITUTION: The power is supplied to an input buffer 1 from a high potential power supply V_{ddq} used for a driver and a low potential power supply V_{SS} used for a general circuit. At the same time, the power is supplied to a level conversion circuit 2 from the power supply V_{SS} and a high potential power supply V_{DD} used for the general circuit and different from the power supply that supplies the power to the driver. Then the voltage amplitude of the output signal of the buffer 1 is amplified and outputted. Therefore, the data owned by the signals which are inputted from other chips can be fast sent to the circuit 2 and also a signal of its suitable voltage amplitude can be outputted to the next stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号 ✓

特開平8-288828

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl.⁶
H 0 3 K 19/0185
19/0175

識別記号

府内整理番号

F I
H 0 3 K 19/00

技術表示箇所

1 0 1 E
1 0 1 K

審査請求 未請求 請求項の数 4 O.L. (全 6 頁)

(21)出願番号 特願平7-84081

(22)出願日 平成7年(1995)4月10日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 有本 和民
兵庫県伊丹市端原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

(74)代理人 弁理士 吉田 茂明 (外2名)

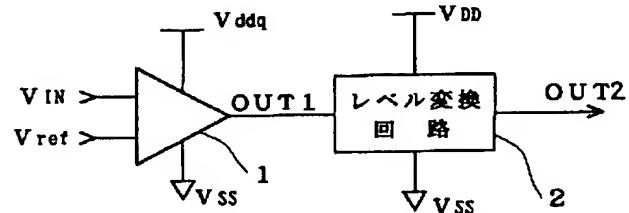
(54)【発明の名称】 インターフェース回路

(57)【要約】

【目的】 高速に動作するインターフェース回路を得る。

【構成】 入力バッファ1にドライバ用高電位電源V_{ddq}及び一般回路用低電位電源V_{SS}を電源として供給し、ドライバに供給される電源とは別の一般回路用高電位電源V_{DD}及び一般回路用低電位電源V_{SS}を電源としてレベル変換回路2に供給し、入力バッファ1の出力信号の電圧振幅を拡幅して出力する。

【効果】 他のチップから入力される信号が有するデータを高速にレベル変換回路へ伝送することができ、かつ次段へ適した電圧振幅の信号を出力できる。



1 : 入力バッファ

【特許請求の範囲】

【請求項1】 ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、前記レシーバは、

チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源としてドライバ用にチップ外部から供給されているドライバ用電源を受ける入力バッファと、

前記入力バッファの出力信号を受け、前記出力信号の電圧振幅を拡幅した信号を生成し、かつ電源としてチップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けるレベル変換回路と、を備えたインターフェース回路。

【請求項2】 ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、

前記レシーバは、

チップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けて、前記一般回路用電源の電圧を降圧させて、入力バッファ用電圧を生成する電圧降圧回路と、

チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源として前記入力バッファ用電圧を受ける入力バッファと、を備えたインターフェース回路。

【請求項3】 ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、

前記レシーバは、

チップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けて、前記一般回路用電源の電圧を降圧させて、入力バッファ用電圧を生成する電圧降圧回路と、

チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源として前記入力バッファ用電圧を受ける入力バッファと、

前記入力バッファの出力信号を受け、前記出力信号の電圧振幅を拡幅した信号を生成し、かつ電源として前記一般回路用電源を受けるレベル変換回路と、を備えたインターフェース回路。

【請求項4】 前記入力バッファ用電圧は、

ドライバ用にチップ外部から供給されているドライバ用電源と同じ電圧値である請求項2又は3記載のインターフェース回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置回路チップ間で小振幅信号を伝送するためのインターフェース回路に関し、特に伝送可能な小振幅信号の振幅の範囲（動作マージン）の広いかつ動作速度の速いインターフェース回路に関する。

【0002】

【従来の技術】 従来より、小振幅インターフェースとして、TTL (Transistor Transistor Logic) による小振幅インターフェースが用いられてきたが、近年のマイクロプロセッサ (MPU) の動作周波数が 50 MHz を越え、TTL による小振幅インターフェースの消費電力、スイッチング等の観点から限界がみえ始め、TTL にかかる小振幅インターフェースとして、GTL (Gunning Transceiver Logic) 、 CTT (Center Tapped Termination) 、 T-LVTTL (Terminated-Low Voltage Transistor Transistor Logic) 、 HSTL (High Speed Transceiver Logic) 等によるインターフェースが提案されている。これらは、出力側のドライバと入力側のレシーバとを 50 オームのインピーダンス (Z0) を有する伝送線路を介して接続し、電源電圧とは別の電源に終端抵抗を介して終端させて、ドライバの出力信号の振幅を小さくさせている。この中で特に HSTL によるインターフェース (HSTLインターフェース) は JEDEC (Joint Electron Device Engineering Council) で標準化が進められていて、今後、小振幅インターフェースの標準になることが期待されている。

【0003】 図5は従来より提案されているHSTLインターフェースを用いたDRAMのピンアウトの一例である。図5に示すように、各 I/O ピンに対してピンのドライバ (出力バッファ) 専用のドライバ用高電位電源 Vddq 、ドライバ用低電位電源 Vssq を供給するための電源ピンが用意され、各 I/O ピンのドライバには、その I/O ピンに隣接した電源ピンからドライバ用高電位電源 Vddq 、ドライバ用低電位電源 Vssq が供給される。そして、一般には、ドライバ用高電位電源 Vddq を供給する電源ピンは複数用意されている。ドライバ用低電位電源 Vssq を供給するための電源ピンについても同様である。

【0004】 一方、各 I/O ピンのレシーバ (入力バッファ) の電源電圧はドライバ以外の回路に供給される一般回路用高電位電源 VDD 及び一般回路用低電位電源 VSS を受ける電源ピンから供給され、さらに基準電圧 Vref が基準電圧ピンから供給される。そして、一般に基準電圧 Vref はドライバ用高電位電源 Vddq の 1/2 の電圧が供給される。また一般に一般回路用高電位電源 VDD の電圧はドライバ用高電位電源 Vddq より大きい。VSS と Vssq はどちらも一般に接地レベルである。

【0005】 図6はチップAとチップBとを接続する従来のHSTLインターフェースを示す。図6中の1 2は p チャンネルのFET、1 3は n チャンネルのFET、1 4は 50 オームのインピーダンス (Z0) を有する伝送線路、1 5は終端抵抗、2 1はチップA中の I/O ピンのドライバ (出力バッファ) 、2 2はチップB中の I/O ピンのレシーバ (入力バッファ) 、1 0 0 はチップA、2 0 0 はチップBである。

【0006】 図6に示すようにチップA 1 0 0 側のド

イバ21はFET12及びFET13をドライバ用高電位電源V_{ddq}とドライバ用低電位電源V_{ssq}との間に直列に接続された構成である。ドライバ21の出力信号は、FET12のドレインとFET13のソースとの接続点から出力される。その出力信号は伝送線路14の一端に入力され、伝送線路14の他端は終端抵抗15の一端とチップB200のレシーバ22の一方の入力端子V_{IN}に接続されている。終端抵抗15の他端にはドライバ用高電位電源V_{ddq}の1/2の電圧が与えられ、レシーバ22のもう一方の入力端子には、基準電圧ピンの電圧V_{ref}が与えられている。レシーバ22には一般回路用高電位電源VDD及び一般回路用低電位電源VSSが供給されている。

【0007】図7にレシーバ22の回路の一例を示す。図7中の16、17及び18はpチャンネルのFET、19及び20はnチャンネルのFETを示す。図7に示すようにレシーバ22は、カレントミラーアンプより構成されている。

【0008】

【発明が解決しようとする課題】以上に説明したように、HSTLインターフェースは標準化が期待されており、ドライバの出力信号がより小さい場合にも対応できる動作マージンの広いHSTLインターフェースが必要とされている。

【0009】上述したように、レシーバ22はカレントミラーアンプより構成されており、一般にカレントミラーアンプの動作は、基準電圧V_{ref}がカレントミラーアンプ供給される電源電圧の1/2であるときその増幅のゲインは最大となる特徴がある。ところが図7のカレントミラーアンプの構成では、基準電圧V_{ref}は一般回路用高電位電源VDDの1/2ではなくドライバ用高電位電源V_{ddq}の1/2であるので、カレントミラーアンプの増幅のゲインは最大となっていない。このため、従来の構成によるHSTLインターフェースでは、標準化には動作マージンが十分広いといえない問題点があった。また、動作も十分速いといえない問題点もあった。

【0010】本発明は、以上のような問題点を解決するためになされたものであり、動作マージンの広く動作が高速なインターフェース回路を得ることを目的とする。

【0011】

【課題を解決するための手段】本発明の請求項1に係る課題解決手段は、ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、前記レシーバは、チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源としてドライバ用にチップ外部から供給されているドライバ用電源を受ける入力バッファと、前記入力バッファの出力信号を受け、前記出力信号の電圧振幅を拡幅した信号を生成し、かつ電源としてチップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けるレ

ベル変換回路とを備える。

【0012】本発明の請求項2に係る課題解決手段は、ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、前記レシーバは、チップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けて、前記一般回路用電源の電圧を降圧させて、入力バッファ用電圧を生成する電圧降圧回路と、チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源として前記

10 入力バッファ用電圧を受ける入力バッファとを備える。

【0013】本発明の請求項3に係る課題解決手段は、ドライバとレシーバとを有する半導体装置回路チップのインターフェース回路であって、前記レシーバは、チップ内的一般回路用にチップ外部から供給されている一般回路用電源を受けて、前記一般回路用電源の電圧を降圧させて、入力バッファ用電圧を生成する電圧降圧回路と、チップ外部から与えられた信号を基準電圧と比較することにより論理レベルを判定し、かつ電源として前記

20 入力バッファ用電圧を受ける入力バッファと、前記入力バッファの出力信号を受け、前記出力信号の電圧振幅を拡幅した信号を生成し、かつ電源として前記一般回路用電源を受けるレベル変換回路とを備える。

【0014】本発明の請求項4に係る課題解決手段において、前記入力バッファ用電圧は、ドライバ用にチップ外部から供給されているドライバ用電源と同じ電圧値である。

【0015】

【作用】本発明請求項1記載に係るインターフェース回路では、ドライバとレシーバの電源を同じにすることにより、入力バッファのゲインが最も大きな領域が使用できるため、高速に入力バッファが信号を生成し出力する。次に、入力バッファの出力信号の電圧振幅を拡幅して次段へ続く回路に出力する。

【0016】本発明請求項2記載に係るインターフェース回路では、ドライバーに供給されている電源とは別の電源を受けて、ノイズの少ない入力バッファ用電圧を生成し入力バッファに供給することで、入力バッファの動作マージンの劣化が防止される。

【0017】本発明請求項3記載に係るインターフェース回路では、ドライバーに供給されている電源とは別の電源を受けて、ノイズの少ない入力バッファ用電圧を生成し入力バッファに供給することで、入力バッファの動作マージンが劣化が防止される。次に、入力バッファの出力信号の電圧振幅を拡幅して次段へ続く回路に出力する。

【0018】本発明請求項4記載に係るインターフェース回路では、入力バッファ用電圧は、ドライバに供給されている電源と同じ電圧値であるため、入力バッファのゲインが最も大きな領域が使用でき、高速に入力バッファが信号を增幅して、增幅信号を生成し出力する。

【0019】

【実施例】

【第1の実施例】図1に本発明の第1の実施例におけるHSTLインターフェースのレシーバの構成を示す。図1中の1は図6中の入力バッファ22に対応し、ドライバ用高電位電源Vddq及び一般回路用低電位電源VSSを電源電圧として受ける入力バッファ、2は一般回路用高電位電源VDD及び一般回路用低電位電源VSSを電源電圧とし、入力バッファ1の出力信号である増幅信号の電圧振幅を拡幅した信号を生成し出力するレベル変換回路である。

【0020】本実施例のレシーバの構成は図1に示すように、入力バッファ1の出力OUT1をレベル変換回路2が受け、レベル変換回路2の出力OUT2を次段の回路へと出力している。

【0021】次に動作について説明する。入力バッファ1は、端子VINに入力された他のチップのドライバの出力信号と基準電圧Vrefの電圧との差動増幅により端子VINに入力された信号の論理レベルを判定し、比較的電圧振幅の小さい信号を出力する。次にレベル変換回路2は入力バッファ1の出力信号を受け、該出力信号の電圧振幅を拡幅した比較的電圧振幅の大きい信号を出力する。

【0022】図2はレベル変換回路2の具体回路の一例を示す図である。図2中の7はインバータ、8及び9はpチャンネルのFET、10及び11はnチャンネルのFETを示す。

【0023】本実施例によると、入力バッファ1が差動増幅する際に、基準電圧Vrefはドライバ用高電位電源Vddqの1/2であるため、入力バッファ1のゲインが最も大きな領域が利用できるため、入力バッファ1の増幅動作が高速になり、他のチップのドライバが出力する小振幅信号が有するデータを高速にレベル変換回路2へ伝送することができ、かつレベル変換回路2でのレベル変換により次段へ適した電圧振幅の信号を出力できるという効果がある。

【0024】【第2の実施例】次に第2の実施例について説明する。図3は本発明の第2の実施例におけるHSTLインターフェースのレシーバの構成を示す。図3中の3はオペアンプ、4はpチャンネルのFETであり、その他の符号は図1中の符号に対応している。

【0025】FET4のソースには電源電圧VDDが印加され、ドレインはオペアンプ3の正入力端子と入力バッファ1の電源を供給するための電源入力端子が接続されている。オペアンプ3の負入力端子は、入力バッファ1の電源入力端子の電圧（入力バッファ用電圧）の目標値である目標電圧Vref1（例えば、ドライバ用高電位電源Vddqと同じ電圧値）を受ける。オペアンプ3の出力端子にはFET4のゲートが接続されている。その他の構成は図1と同様である。

【0026】次に動作について説明する。入力バッファ用電圧と目標電圧Vref1とを比較し、入力バッファ用電圧のほうが大きければ、FET4のソースドレイン間をオフして、入力バッファ用電圧を下げる。逆に入力バッファ用電圧のほうが小さければ、FET4のソースドレイン間をオンして入力バッファ用電圧をあげる。このようにして、電圧降圧回路として働くオペアンプ3及びFET4により、入力バッファ1の電源入力端子の電圧がドライバ用高電位電源Vddqと同じ値の電圧になるよう10に制御する。即ち、一般回路用高電位電源VDDを降圧して目標電圧Vref1の電圧値と等しい電圧を生成し、入力バッファ1の電源入力端子に出力する。入力バッファ1及びレベル変換回路2の動作は第1の実施例と同様である。

【0027】ドライバ用高電位電源Vddqは入力バッファ1と同じチップ内にあるドライバに接続されているので、このドライバが動作しているとき、ドライバ用高電位電源Vddqには一般的に大きなノイズが発生する。図1のレシーバの構成では、このノイズにより、正常な増幅が阻害され、入力バッファ1の動作マージンが劣化する恐れがある。これを避けるため、本実施例では、一般回路用高電位電源VDDを降圧して生成した入力バッファ用電圧を入力バッファ1の電源として供給している。これにより、ドライバが動作しているときでも一般回路用高電位電源VDDにはノイズが生じていないので、ノイズのない安定した電源電圧を入力バッファ1に供給できる。従って、入力バッファ1の正常な増幅が可能となり、入力バッファ1の動作マージンの劣化を防止できる。

【0028】尚、入力バッファ用電圧はドライバ用高電位電源Vddqの電圧値と同じにしなくとも、入力バッファ1のトランジスタサイズ（チャネル長及びチャネル幅）の調整でゲインが最も大きな領域を使用できる。ゲインが最も大きな領域を使用できるようにすれば、高速にチップ外からの小振幅信号を増幅でき、小振幅信号が有するデータを高速に伝送できる。

【0029】【第3の実施例】次に第3の実施例について説明する。図4は本発明の第3の実施例における目標電圧Vref1の生成回路の一構成例を示す。図4中の5は定電流源、6は抵抗である。図4に示すように定電流源5と抵抗6とを一般回路用高電位電源VDDと一般回路用低電位電源VSSとの間に直列に接続し、抵抗6の電圧降下により目標電圧Vref1を取り出す。その目標電圧Vref1は図3のオペアンプ3の負入力端子に接続する。また抵抗6の抵抗値は、プロセスパラメータ（MOSトランジスタの閾値電圧、配線の抵抗値や寄生容量値等）で目標電圧レベルが変動しないように、レーザトリミング等によって、所望の値に変更できるようにしておくことが望ましい。

【0030】本実施例によると、プロセスパラメータが

変動しても、オペアンプ3の負入力端子の電圧（目標電圧 V_{ref1} ）が入力バッファ1の基準電圧 V_{ref} の2倍即ち、ドライバ用高電位電源 V_{ddq} の電圧値になるように、抵抗6の抵抗値を変更できるため、基準電圧 V_{ref} の2倍の電圧が正確に生成されて印加されることにより、入力バッファ1のゲインが最も大きな領域が利用でき、高速に小振幅信号を増幅でき、小振幅信号が有するデータを高速に伝送できる。

【0031】尚、第1乃至第3の実施例では、HSTLインターフェースを用いて説明したが他のインターフェースにも適用できる。

【0032】

【発明の効果】本発明請求項1によると、入力バッファの動作が高速になり、他のチップからの入力信号が有するデータを高速にレベル変換回路へ伝送することができためインターフェースの動作が高速になり、かつ次段へ適した電圧振幅の信号を出力できるという効果がある。

【0033】本発明請求項2によると、入力バッファの動作マージンの劣化を防止することで、インターフェースの動作マージンを広くすることができるという効果がある。

【0034】本発明請求項3によると、入力バッファの動作マージンを劣化を防止することで、インターフェースの動作マージンの広くすることができ、かつ次段へ適

した電圧振幅の信号を出力できるという効果がある。

【0035】本発明請求項4によると、入力バッファの動作が高速になり、他のチップからの入力信号が有するデータを高速にレベル変換回路へ伝送することができるためインターフェースの動作が高速になるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例におけるHSTLインターフェースのレシーバの構成図である。

10 【図2】 レベル変換回路の一例を示す図である。

【図3】 本発明の第2の実施例におけるHSTLインターフェースのレシーバの構成図である。

【図4】 本発明の第3の実施例における目標電圧 V_{ref1} の生成回路の構成図である。

【図5】 従来におけるHSTLインターフェースを使用したDRAMのピンアウトの一例を示す図である。

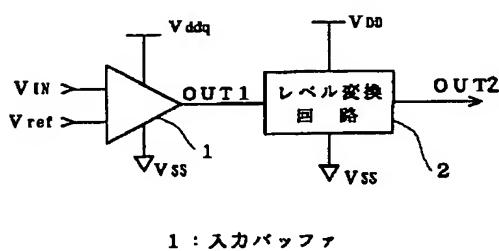
【図6】 従来におけるHSTLインターフェースを示す図である。

【図7】 従来における入力バッファの回路の一例を示す図である。

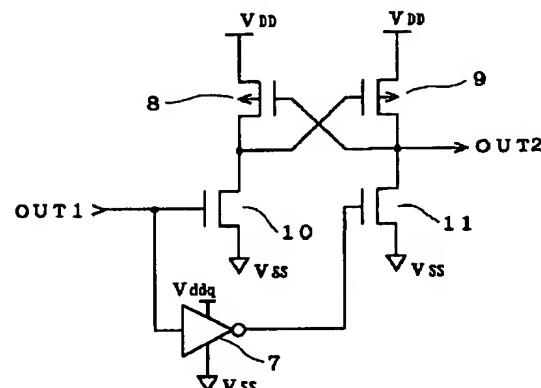
【符号の説明】

1 入力バッファ、2 レベル変換回路、3 オペアンプ、4 FET、5 定電流源、6 抵抗、7 インバータ、8, 9, 10, 11 FET。

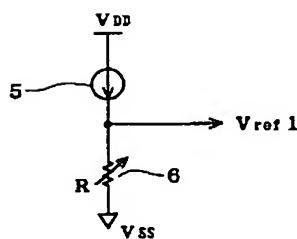
【図1】



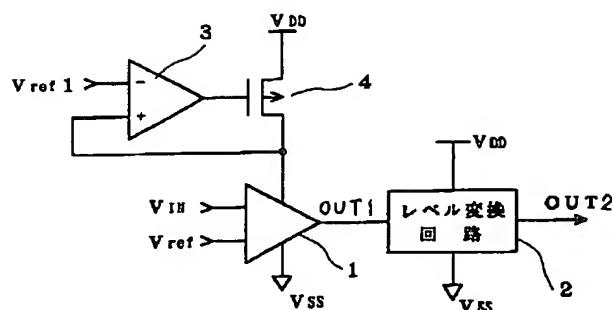
【図2】



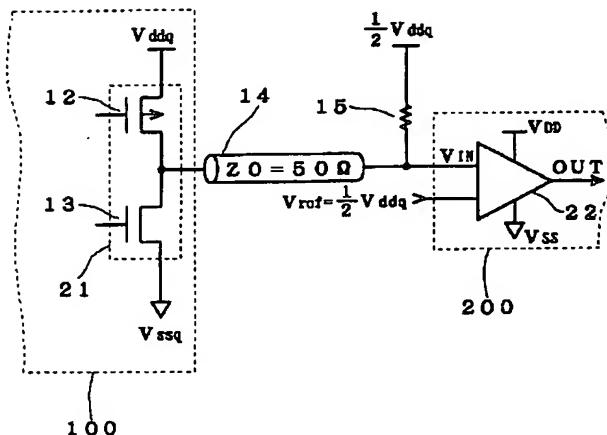
【図4】



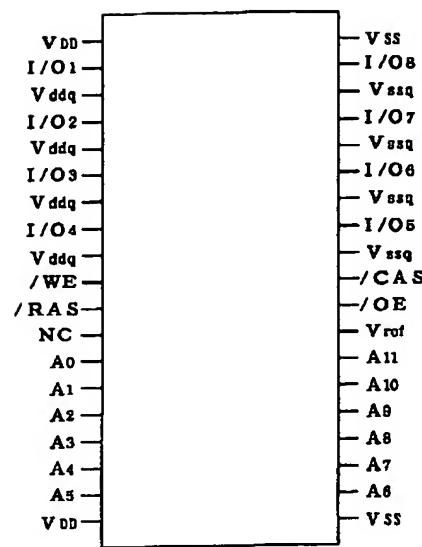
【図3】



【図6】



【図5】



【図7】

